

A3400 VME module
16 ch PDC (Peak Digital Converter)
User's Manual

Rev. 0.1 β

Under Development



NIKI GLASS CO.,LTD

目次

1. はじめに	3
1.1 A3100 との相違点について！	3
1.2 装着前に VME クレータの確認を！	3
1.3 リストデータの書き込み順について！	4
2. 概要	5
3. ブロック図	6
4. 動作モード	7
4.1 PHA	7
4.2 LIST	7
4.2.1 GATED LIST	8
4.2.2 FREE RUN LIST	10
4.2.3 TRIGGERED LIST	12
5. フロントパネル	14
6. ATICbus(Acquire & Time Information Control bus)	15
7. VME インターフェース	16
7.1 ベースアドレス	16
7.2 AM(Address Modifier) Code	17
7.3 MCST(Multicast) Addressing	17
7.4 VME Interrupt	19
8. Memory	20
9. List Data Buffer	21
9.1 GATED LIST	21
9.2 FREE RUN LIST	22
9.3 TRIGGERED LIST	22
9.4 リストデータバッファのデータリード	23
10. Register Map	24
10.1 Register Address Map	24
10.2 CDR(Channel Dependence Registers) Address Map	25
11. 各レジスタの詳細	25
11.1 CCR(Channel Control Register)	26
11.2 CZLR(Channel Zero Level Register)	26
11.3 CLLDR(Channel Lower Level discriminator Register)	27
11.4 CGPWR(Channel Gate Pulse Width Register)	27
11.5 CRTR(Channel Real Time Register)	28
11.6 CLTR(Channel Live Time Register)	28
11.7 CGCR(Channel Gate Count Register)	28
11.8 CCGR(Channel Conversion Gain Register)	29
11.9 CPMR(Channel Preset Mode Register)	29
11.10 CPVR(Channel Preset Value Register)	30

11.11 SPROICR(Start of Preset ROI Channel Register)	30
11.12 NPROICR(Number of Preset ROI Channel Register)	30
11.13 IRQVR(IRQ Vector Register)	31
11.14 IRQCR(IRQ Control Register)	31
11.15 MCSTAR(Multicast Address Register)	32
11.16 MCSTCRM(Multicast Control Register)	32
11.17 LBWPR(List Buffer Write Pointer Register)	33
11.18 LBRPR(List Buffer Read Pointer Register)	33
11.19 LBEFR(List Buffer Empty Flag Register)	34
11.20 LBFFR(List Buffer Full Flag Register)	34
11.21 AMR(Acquire Mode Register)	35
11.22 ECPVR(Event Count Preset Value Register)	35
11.23 LDSPVR(List Data Size Preset Value Register)	36
11.24 COMGPWR(COMmon Gate Pulse Width Register)	36
11.25 COMGCR(COMmon Gate Count Register)	37
11.26 ACR(Acquire Control Register)	37
11.27 MCSR(Module Control Status Register)	38
11.28 FPGAVR(FPGA Version Register)	40
11.29 LCPUVR(Local CPU Version Register)	40
11.30 MIR(Module Identification Register)	40
12. ボード上のジャンパ設定	41
12.1 ロジック入力の論理レベル設定	41
12. 仕様	42

1. はじめに

1.1 A3100 との相違点について！

A3400 16ch PDC モジュールは A3100 16ch PHA&LIST モジュールの上位機であり性能向上以外のほとんどの仕様において互換性がありますが、以下のような相違点もあります。

内容	A3100	A3400
全てのロジック入力信号の論理レベル	TTL	NIM-FNL(Fast Negative Logic)または ECL (ジャンパにより切替え)
リストモードの時間情報	タイムスタンプまたは タイムラグ	タイムスタンプのみ
Gated List モードの時間情報	なし	40bit タイムスタンプ
各チャンネル専用ゲート信号と コモン・ゲート信号のパルス幅	入力信号自身のパルス幅	入力信号自身のパルス幅と その信号の前縁エッジから 200ns～50 μs の範囲で可変 可能な内部生成パルス幅との 論理和
リストデータバッファへのアクセス	セマフォによるアクセス権 の取得/解放	フリーアクセス

使用するうえで特に注意しなければならないのが最初の論理レベルの違いです。

負極性の電圧レベルで規定される A3400 の NIM-NFL または ECL の入力に、正極性電圧レベルの TTL 信号を接続すると、最悪の場合には回路の破壊につながりかねません。必ず信号の仕様をよく確認してからケーブル接続するようにしてください。

1.2 装着前に VME クレートの確認を！

当 VME モジュールは将来利用のために VME バスコネクタ P2 の A26～A32 と C26～C32 ピンを使用しています。

VME 規格では P2 コネクタの a 列と c 列の各 32 ピンはユーザ定義として開放されているため VME クレートによっては J2 バックプレーン(モジュールの P2 コネクタに対応するバックプレーン側コネクタが J2)の a、c 列に特定アプリケーション用の信号線やアナログ回路用の電源などが接続されている場合があります。

以前から特定用途で使用していた VME クレートに当モジュールを装着する場合は、取付前に必ず J2 バックプレーンの上記ピンに何も接続されていないことを確認してください。もし誤って、既にこれらのピンに何らかの信号、電源が割り当てられている VME クレートに取り付け、電源を投入すると最悪のケースでは当モジュールの破壊につながりますので十分にご注意ください。

1.3 リストデータの書き込み順について！

Free Run List または Triggered List においてタイムスタンプ取り込みを外部入力信号のタイミングで行うように設定して測定した場合、リストデータの書き込みは AD 変換を終了したもの、すなわちピーク検出タイミングの順に行われますが、タイムスタンプはゲート/トリガ信号の前縁エッジタイミングで取り込みます。もしこの 2 つのタイミングの前後関係が入れ替わると、タイムスタンプの大きなデータが先に、その次にタイムスタンプの小さいデータが書き込まれることになり、時系列順に並ばなくなる可能性のある点にご留意ください。

2. 概要

A3400 は 16ch 入力の PHA & LIST 機能を搭載した 6U サイズの 1 幅 VME モジュールです。各 Ch では個別に設けられた入力コネクタに入ってくる 0~+10V までの正極性アナログ・パルス信号のピークを検出し、そのレベルをピークホールド回路により保持します。各 Ch のピークホールドからの信号はピーク検出順にマルチプレクサで選択された後、ADC に供給され、13bit のデジタルデータへ変換されます。ADC の微分直線性を改善するためにスライディングスケールを採用しています。

各 Ch 個別に有するそのほかの機能としては、フルスケールの±5%を 12 ビット分解能で設定可能なゼロレベル調整、ゼロからフルスケールの 10%範囲を同じく 12 ビット分解能で可変できる LLD 調整が可能であることや、動作モードによりゲート信号やトリガ信号として使い分ける専用入力コネクタが用意されています。ゲート信号のパルス幅はその前縁エッジから 200ns~50μs の範囲で可変することが可能です。

16ch マルチプレクサの切替え、AD 変換、メモリサイクルの 3 段階をパイプライン処理することで動作モードに関係なく最高 2.5MCPS の高スループットを達成しました。これは 16ch 入力の場合 1ch 当たり平均 156kCPS の計数率に相当します。単一 ch のみの入力の場合はずべての工程をシリーズに処理するしかなくパイプライン処理の効果は発揮できませんが、その場合でも最高 1MCPS までの入力を受け入れ可能です。

A3400 が提供する動作モードとしては PHA モードと LIST モードがあり、それぞれ単独にまたは同時に実行する事が可能です。PHA モードでは Ch ごとに用意された 8kch×32bit のデータメモリ上に入力信号のパルスピーク高さ VS.発生頻度のヒストグラムを展開します。

リストモードには Gated List, Free Run List, Triggered List の 3 つの動作モードがあります。Gated List モードは全 Ch 共通のゲート入力信号が真の期間中に、有効な入力信号のあった Ch の AD 変換データのみをリストデータバッファに保存します。このモードでは AD 変換データと共通ゲート信号との関係を明示するための 28bit イベントカウントデータおよびタイムスタンプも一緒に保存します。

Free Run List モードでは特別な条件を設けずに有効な入力のあった Ch の AD 変換データを時系列にリストデータバッファに保存します。この場合は AD 変換データに該当する信号が入力された時点のタイムスタンプも一緒に保存します。

Triggered List モードは基本的には Free Run List モードと同じですが、時間情報が全 Ch 共通のトリガ信号入力ごとに初期化される点と、保存されるデータにはタイムスタンプだけでなくイベントカウントデータも含まれる点が異なります。

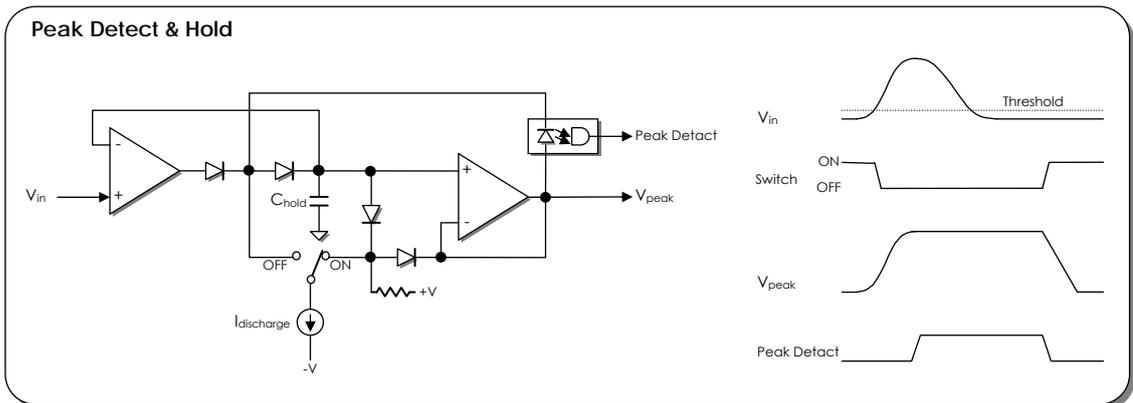
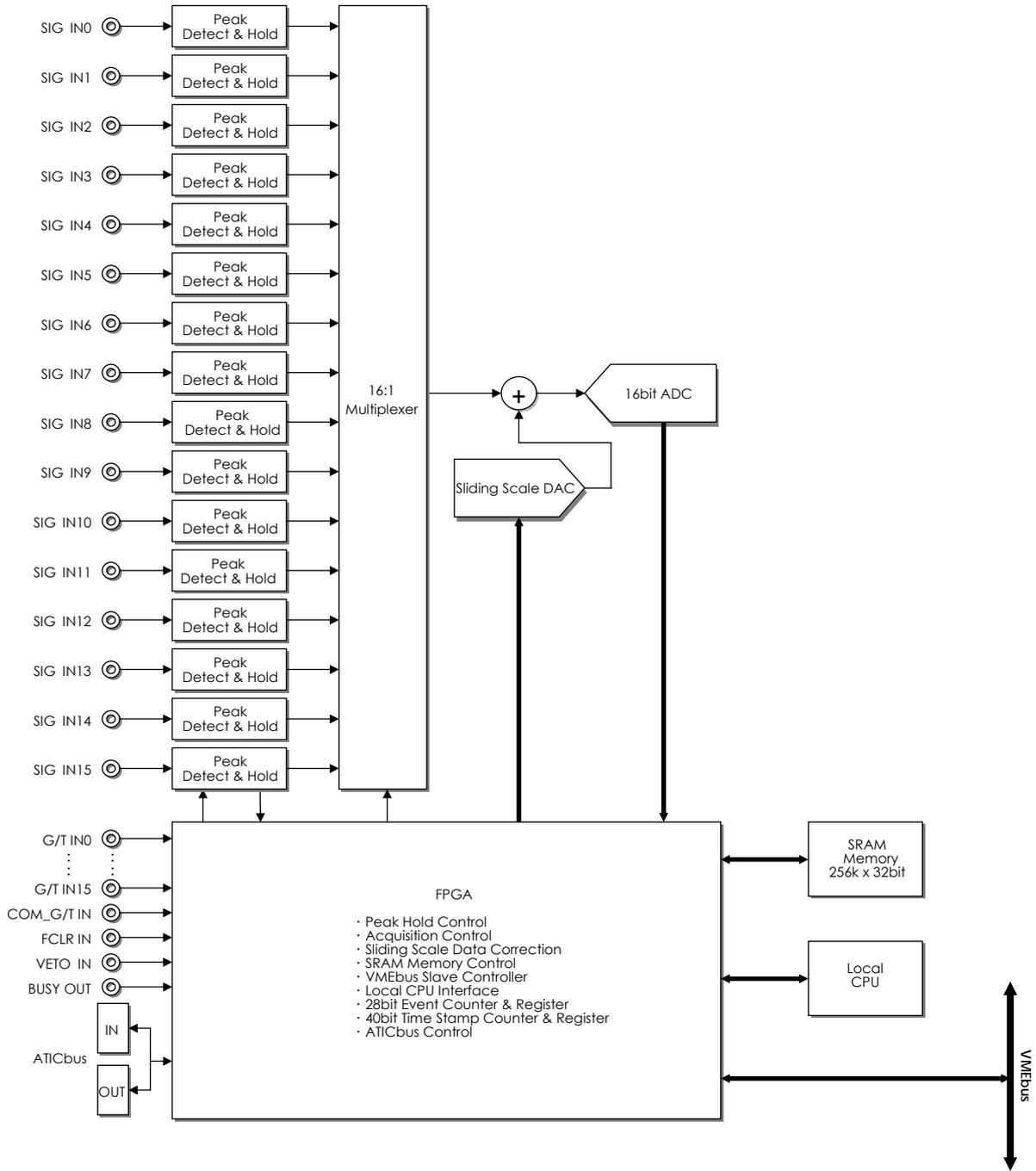
タイムスタンプは最少計測時間 5ns で 40bit の情報量を持ち、Gated List では全 ch 共通のゲート入力信号の前縁エッジタイミングにおける測定開始時からの経過時間を、Free Run List では測定開始時点から、Triggered List では共通トリガ信号入力のあった時点から各 Ch に信号入力のあった時点までの経過時間を表します。

メモリは 256k×32bit の容量を持ち、そのうち 8k×32bit×16ch=128k×32bit を PHA メモリ、127k×32bit を LIST バッファメモリ、1k×32bit を動作モードやパラメータ設定用のレジスタ領域として使用します。A3400 は VMEbus の A24/A32 アドレス指定モードに対応し、D16、D32、BLT のデータ転送機能および A32 の MCST(Multicast Command)をサポートします。

【特徴】

- ❖ 16Ch 入力、6U 1 幅 VME モジュール
- ❖ 入力パルスピークを 13Bit 分解能でデジタルデータに変換
- ❖ ゲート幅を 200ns~50μs の範囲で可変
- ❖ 単一チャンネル入力時は 1MCPS、全体では 2.5MCPS/16ch のスループット
- ❖ 入力チャンネルあたり 400nS の高速 AD 変換
- ❖ 入力チャンネルあたり最大 8k x 32bit の PHA メモリ搭載
- ❖ 3 モード(Free Run List, Triggered List, Gated List)のリスト機能
- ❖ 時間分解能 5ns、40bit タイムスタンプ
- ❖ 28bit イベントカウントデータ
- ❖ 複数モジュールの同期計測に対応

3. ブロック図



4. 動作モード

A3400 は入力パルスのピークを検出、ホールドし、その電圧レベルを A/D 変換します。動作モードは AD 変換データの処理内容により PHA と LIST モードに分類され、LIST はさらに Gated、Free Run、Triggered List の 3 つが存在します。PHA と LIST モードのいずれかは単独で、もしくは同時に計測することが可能です。

4.1 PHA

入力チャンネルごとに独立した 8kch×32bit データメモリに AD 変換データ、すなわち入力パルスのピークレベルを横軸に、その発生頻度を縦軸とする 2 次元ヒストグラムを作成します。プリセットとしては Real Time/Live Time/Peak Counts/Integral Counts の 4 つのモードが用意されています。

LIST モードをオフまたは Free Run List に設定して PHA 測定する場合は、COM_G/T 入力信号は全 Ch 共通のゲート信号として働き、各 Ch 個別のゲート入力信号と論理和されて入力パルスごとの AD 変換動作の許可/禁止を制御します。

4.2 LIST

LIST モードでは AD 変換データに 40bit のタイムスタンプを、Gated と Triggered List ではさらに 28bit のイベントカウントデータを付加して、入力パルスが入ってきた時系列順にリストデータバッファに記録します。

- ・ Gated List ADC データ + タイムスタンプ + イベントカウントデータ
- ・ Free Run List ADC データ + タイムスタンプ
- ・ Triggered List ADC データ + タイムスタンプ + イベントカウントデータ

タイムスタンプを計測する際の基準となる周波数は 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1 μs の中から任意に選択可能です。40bit のビット幅を持っているので最大計測時間は選択した基準クロックにより以下ようになります。オーバーフローすると再度ゼロからカウントアップします。

基準クロック	最大計測時間
5ns	1.52hrs
10ns	3.05hrs
20ns	6.10hrs
50ns	15.2hrs
100ns	30.5hrs
200ns	2.5day
500ns	6.3day
1 μs	12.7day

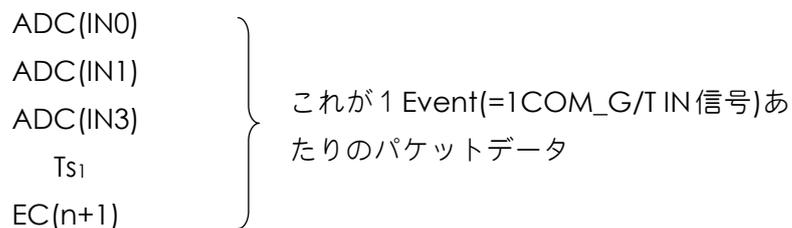
16ch 以上のシステム構成でリスト測定する場合は、複数モジュール間での基準クロックや測定制御の同期を確保するために、付属品の IC(Interconnect Card)をフロントパネル上の ATICbus(Acquire & Time Information Control bus) に取り付けて隣同士のモジュール間を接続する必要があります。

4.2.1 GATED LIST

全 Ch 共通のゲート制御信号である COM_G/T IN の入力レベルが真の期間内に入ってきた各 Ch の入力信号はピークホールドされます。COM_G/T IN 信号が偽になると、期間内にピークホールドされていた Ch のピークレベルを順次 AD 変換し、得られた 1 個以上の AD 変換データにタイムスタンプとイベントカウンタデータを付加してリストデータバッファに書き込みます。つまり 1 イベント当りのパケットデータは COM_G/T IN 期間中に有効な入力のあった数の ADC データとタイムスタンプ、イベントカウンタデータにより構成されます。なお、タイムスタンプの取り込みとイベントカウンタのインクリメントは COM_G/T IN 信号の前縁エッジタイミングで行われます。

各 Ch のピークホールド回路が COM_G/T IN の期間内にピークホールドする信号は、期間中で最も大きかったパルス、もしくは期間内で最初に入ってきたパルスのいずれかを選択することができます。次ページに Gated List モードのタイミングチャートを表します。上のケースが COM_G/T IN 期間内の最大パルスをピークホールドする場合、下のケースは最初のパルスピークをホールドする場合の例です。最大パルスまたは最初のパルスのどちらをホールドするかは MCSR レジスタ内のピークホールドモード・ビットの設定で切り替えます。(「11.25 MCSR(Module Control Status Register)」を参照)

このタイミングチャートの例では、次のようなデータがリストデータバッファに書き込まれます。



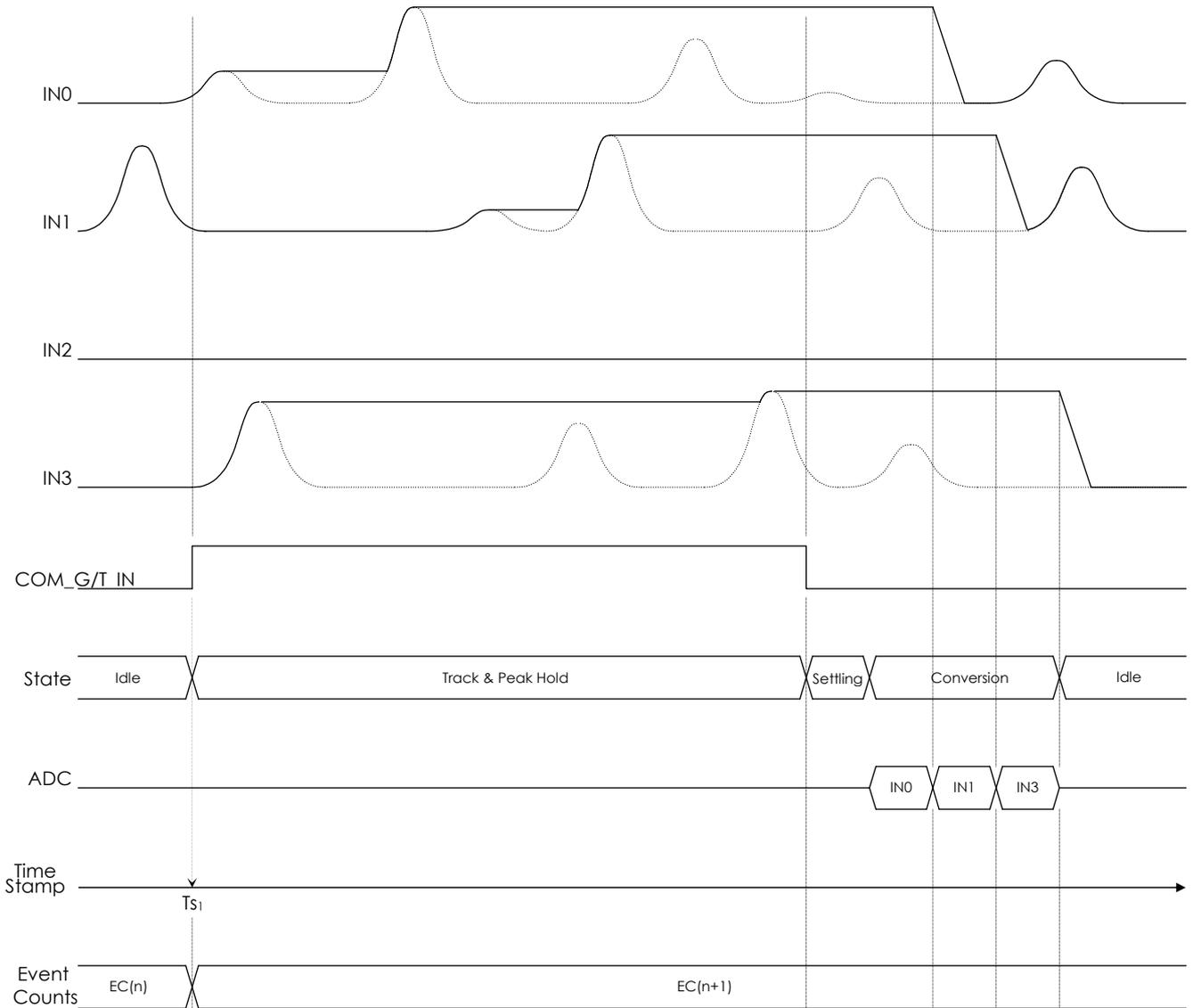
↓

以後、パケットデータが時系列に続く。

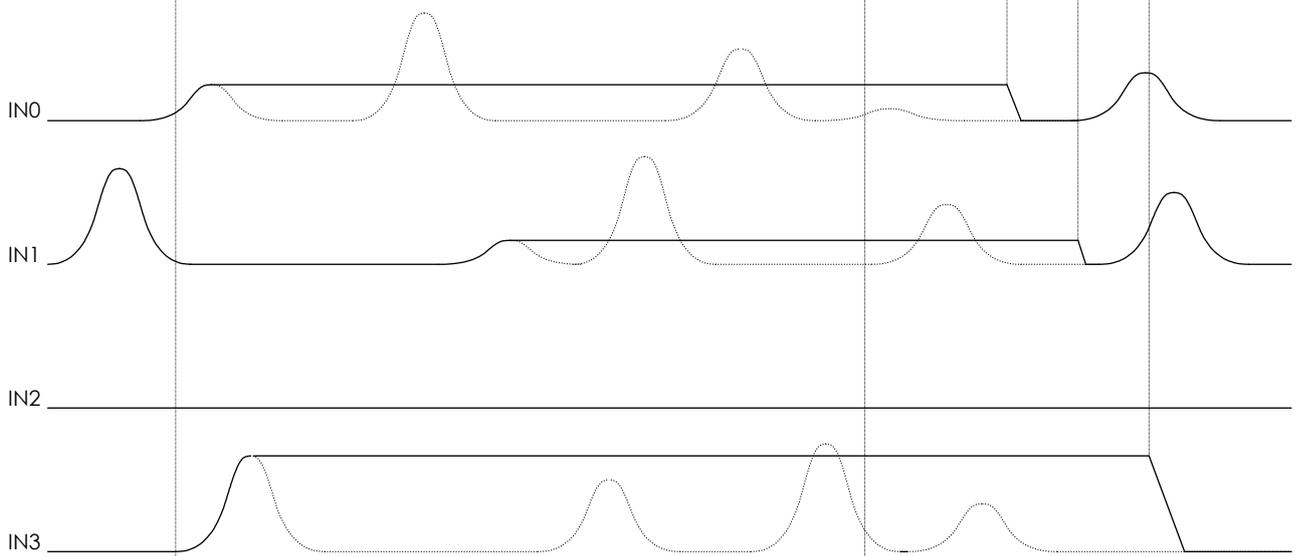
なお、書き込みデータのより詳細な内容については「9.1 GATED LIST」を参照してください。

COM_G/T IN 信号は内部において、その前縁エッジから 200ns~50μs の範囲でプログラマブルにパルス幅を可変することができます。

■ Gated List (COM_G/T 期間内の最大パルスをピークホールドする場合の例)



■ Gated List (COM_G/T 期間内の最初のパルスをピークホールドする場合の例)

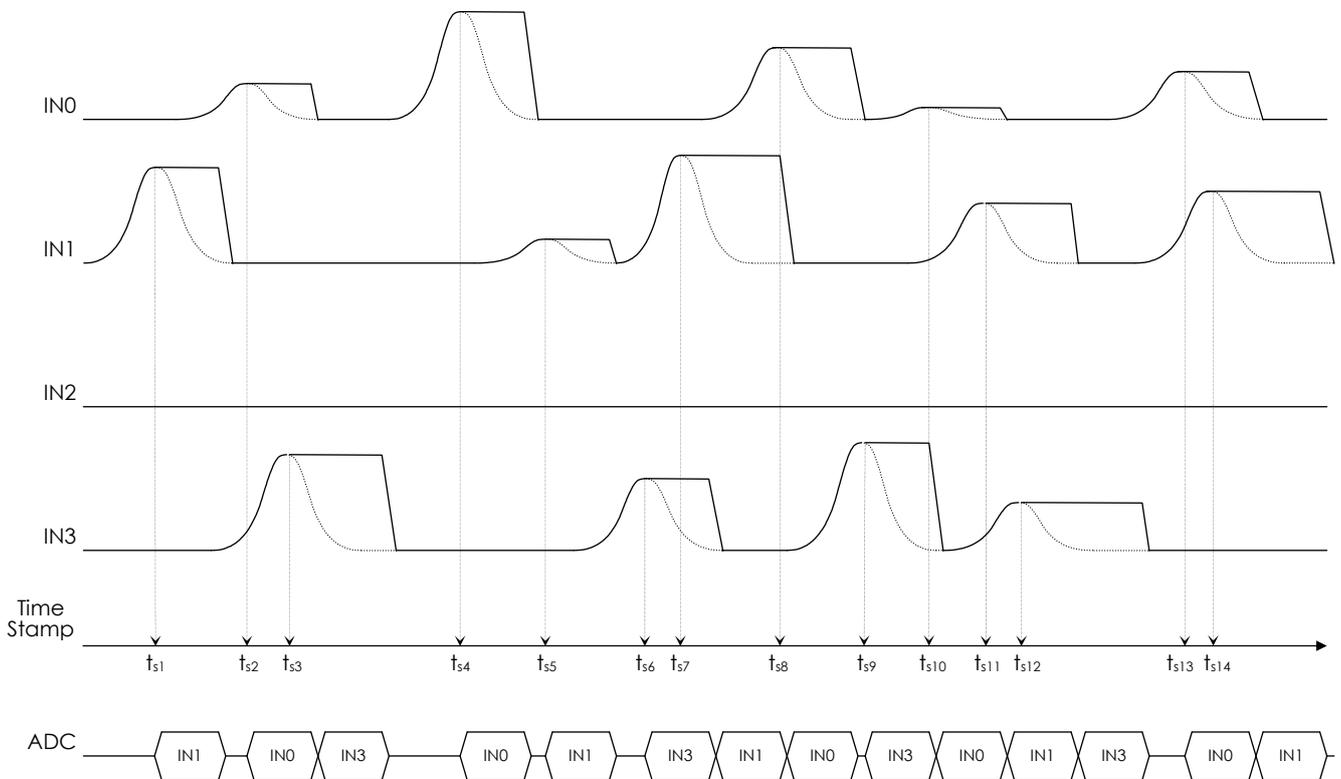


4.2.2 FREE RUN LIST

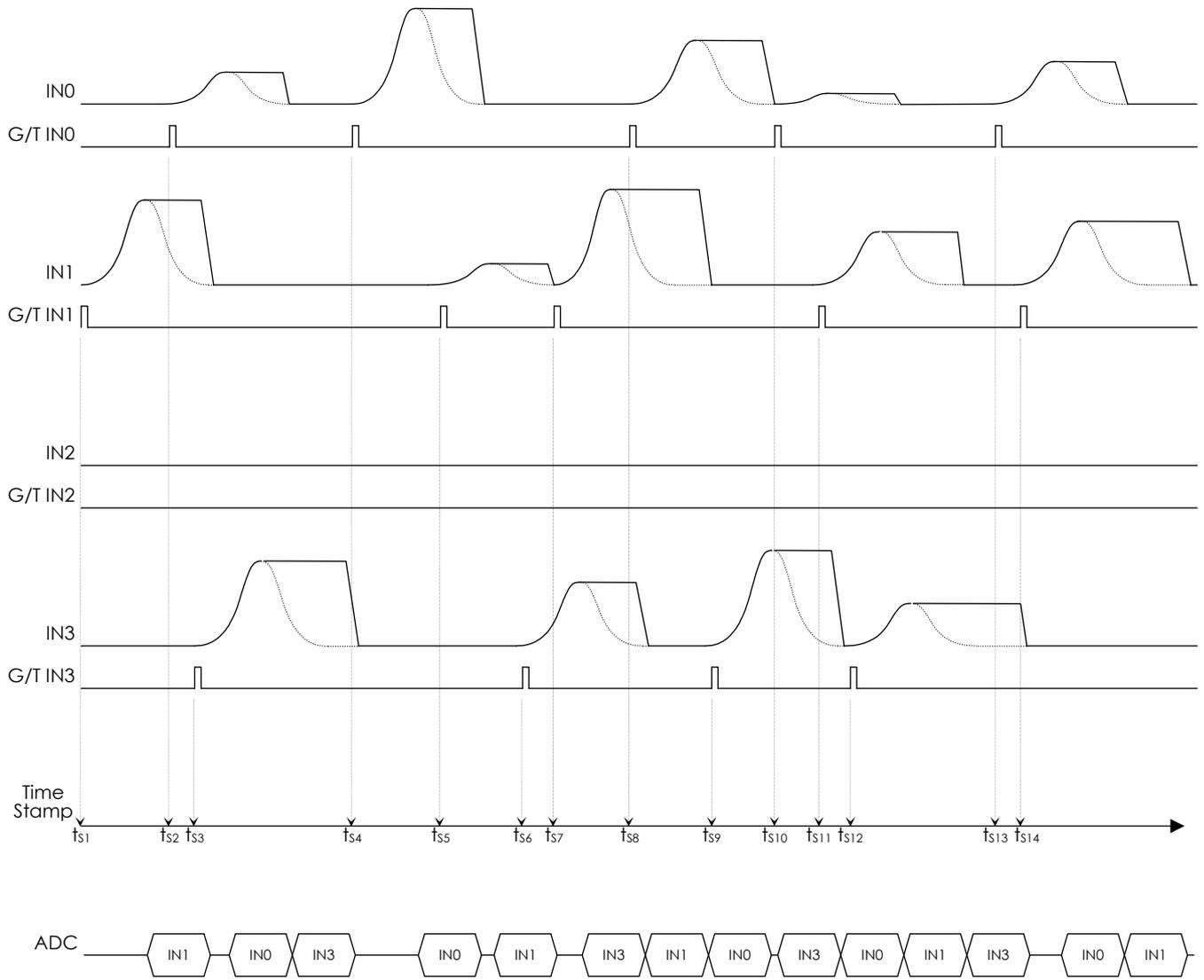
この動作モードでは、各 Ch に入ってきたパルスを入力順に ADC データをリストデータバッファに記録していきます。その際に単に ADC データだけでなく、各 Ch に入ってくる信号の時間相関を得る目的でタイムスタンプの時間情報を一緒に記録します。タイムスタンプは測定開始時点から信号が入ってきた時点までの経過時間を表します。

タイムスタンプを取り込むタイミングは次の 2 通りの中から選ぶことができます。一つは A3400 内部のピーク検出タイミングです。Peak Detect & Hold 回路が入力信号のピークを検出した時点で時間情報を確定します。もう一つは各 Ch に設けられている G/T IN コネクタからのトリガ入力信号の前縁エッジタイミングで時間情報を取り込みます。ピーク検出タイミングによる方法は入力信号のパルス高さによりピーク検出タイミングが多少変化するので正確な時間情報を得ることはできませんが、外部にタイミング系の回路を設けることなくラフな時間相関が得られれば良い場合などに使用できます。より正確な時間相関を得たい場合は、CFD(Constant Fraction Discriminator)などのタイミング系回路からの信号を G/T IN に接続して測定する事を推奨します。

■ Free Run List(Peak Detect タイミングによるタイムスタンプの取り込み)



■ Free Run List(G/T 入力信号タイミングによるタイムスタンプの取り込み)



上記2つの例では、次のようなデータがリストデータバッファに書き込まれます。

ADC(IN1)
 t_{s1}
 ADC(IN0)
 t_{s2}
 ADC(IN3)
 t_{s3}
 ADC(IN0)
 t_{s4}
 ...
 ...
 ADC(IN3)
 t_{s12}
 ADC(IN0)
 t_{s13}
 ADC(IN1)
 t_{s14}

なお、書き込みデータのより詳細な内容については「9.2 FREE RUN LIST」を参照してください。

4.2.3 TRIGGERED LIST

Triggered List の場合の COM_G/T 入力は全 Ch 共通のトリガ信号として機能します。

基本的な動作は Free Run List と同じです。異なるのはタイムスタンプの値が COM_G/T IN 信号の入力ごとに初期化される点です。従って各 Ch の ADC データに付随するタイムスタンプは共通トリガ信号発生からの経過時間を表す事になります。もう一つの相違点はリストデータに ADC、タイムスタンプに加えてイベントカウントデータが追加されることです。イベントカウントは共通トリガ信号 COM_G/T 信号の前縁エッジでインクリメントされ、共通トリガ信号と ADC データとの対応関係を明確にします。

次ページに一例として各 Ch の G/T 信号によるタイムスタンプ取り込みのタイミングチャートを図示します。この場合のリストデータバッファへの書き込みデータは以下の通りです。

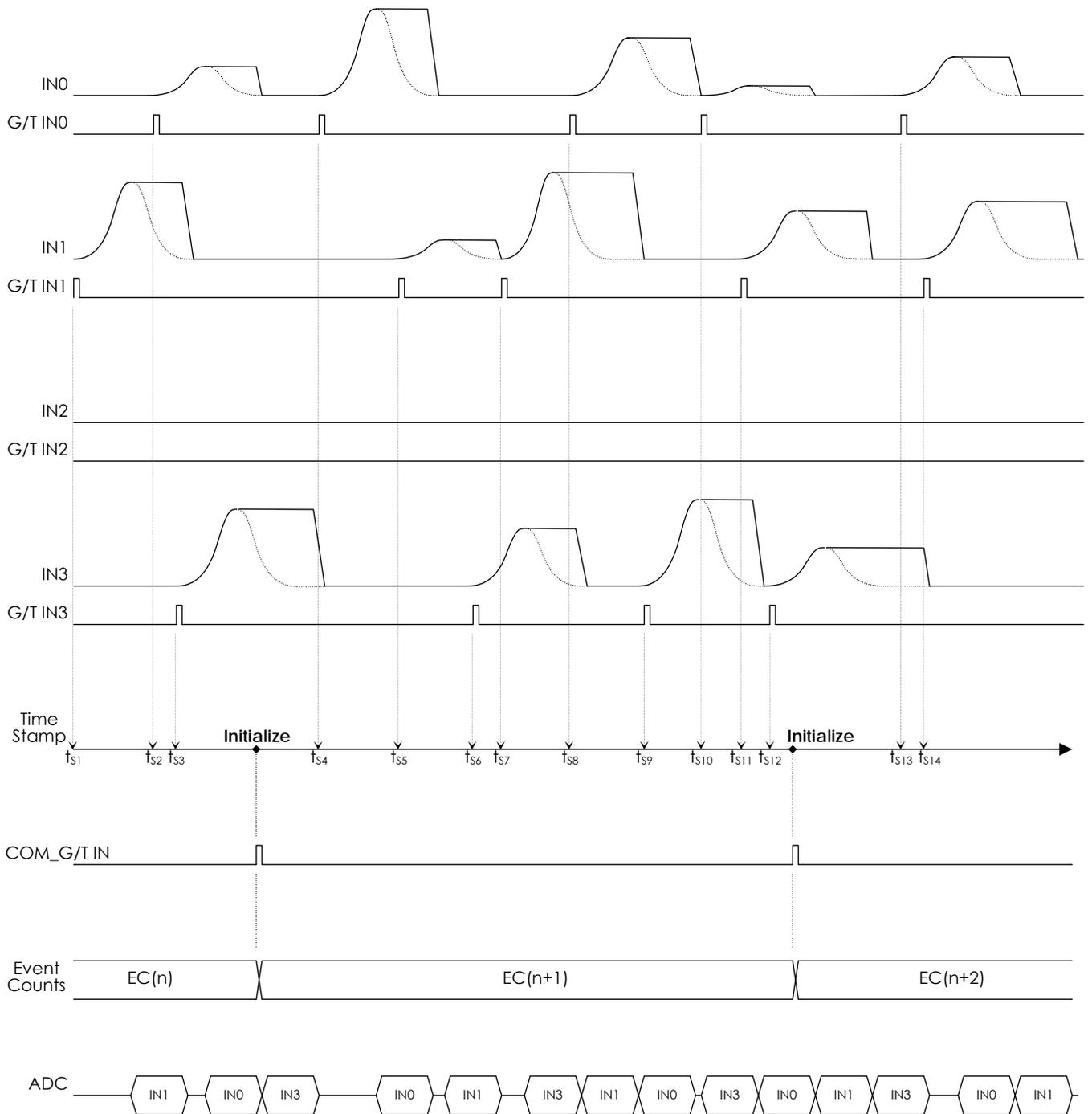
```

ADC(IN1)
  ts1
  EC(n)
ADC(IN0)
  ts2
  EC(n)
ADC(IN2)
  ts3
  EC(n)
ADC(IN0)
  ts4
  EC(n+1)
ADC(IN1)
  ts5
  EC(n+1)
ADC(IN2)
  ts6
  EC(n+1)
ADC(IN1)
  ts7
  EC(n+1)
ADC(IN0)
  ts8
  EC(n+1)
ADC(IN2)
  ts9
  EC(n+1)
ADC(IN0)
  ts10
  EC(n+1)
ADC(IN1)
  ts11
  EC(n+1)
ADC(IN2)
  ts12
  EC(n+1)
ADC(IN0)
  ts13
  EC(n+2)
ADC(IN1)
  ts14
  EC(n+2)

```

なお、書き込みデータのより詳細な内容については「9.3 TRIGGERED LIST」を参照してください。

■Triggered List (G/T 入力信号タイミングによるタイムスタンプの取り込み)



5. フロントパネル

Data ReaDY LED(緑)
リストモード時、リストデータバッファに読み出すべきデータが存在するとき点灯。

BUSY LED(赤)
いずれかの ch においてピークホールド開始から AD 変換を終えてメモリに書き込まれるまでの期間。およびリストモードの場合には、リストデータバッファがフルの状態にある時に点灯。

VME LED(黄)
VMEbus から本モジュールへアクセスがある毎に点灯。

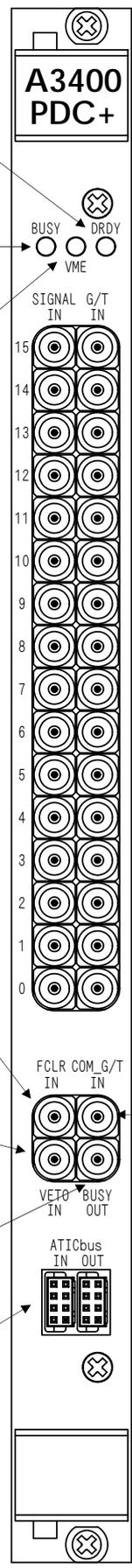
SIGNAL Input
AD 変換する 0~+10V で最小立上り時間 200ns、最少パルス幅 500ns の正極性ユニポーラパルスを入力します。
Zin : 1 k Ω、LEMO

Fast Clear Input
全てのピークホールド回路をクリアし、進行中の AD 変換を中断して、新たな信号の受け入れが可能な状態にします。
Signal : NIM-FNL または ECL
Zin : 50 Ω、LEMO

VETO Input
入力信号が真の間、AD 変換の動作を禁止します。
Signal : NIM-FNL または ECL
Zin : 50 Ω、LEMO

BUSY OUT
ビジー状態を表す出力信号で、BUSY LED 同じ状態にある間、ハイレベルの信号を出力します。
Signal : TTL、LEMO コネクタ

Acquire & Time Information Control bus IN/OUT
1 枚以上の本モジュールを使用して Free Run List または Triggered List の動作をさせる場合は隣同士のモジュールをこのコネクタを利用してバス接続する必要があります。詳細は「5. ATICbus」を参照してください。



Gate/Trigger Input
この入力信号は動作モードにより使用目的が異なります。
❖Free Run List、Triggered List で、かつ MCSR レジスタの TILSEL ビット="1" (35 ページ参照)の場合は、この入力信号の前縁エッジをタイムスタンプ取り込みのタイミングとして使用します。
❖上記以外の動作条件においてはゲート信号として使用し、この信号が各 Ch のピーク検出タイミングにおいて真であった場合にのみピークホールドを行い、AD 変換を実行します。

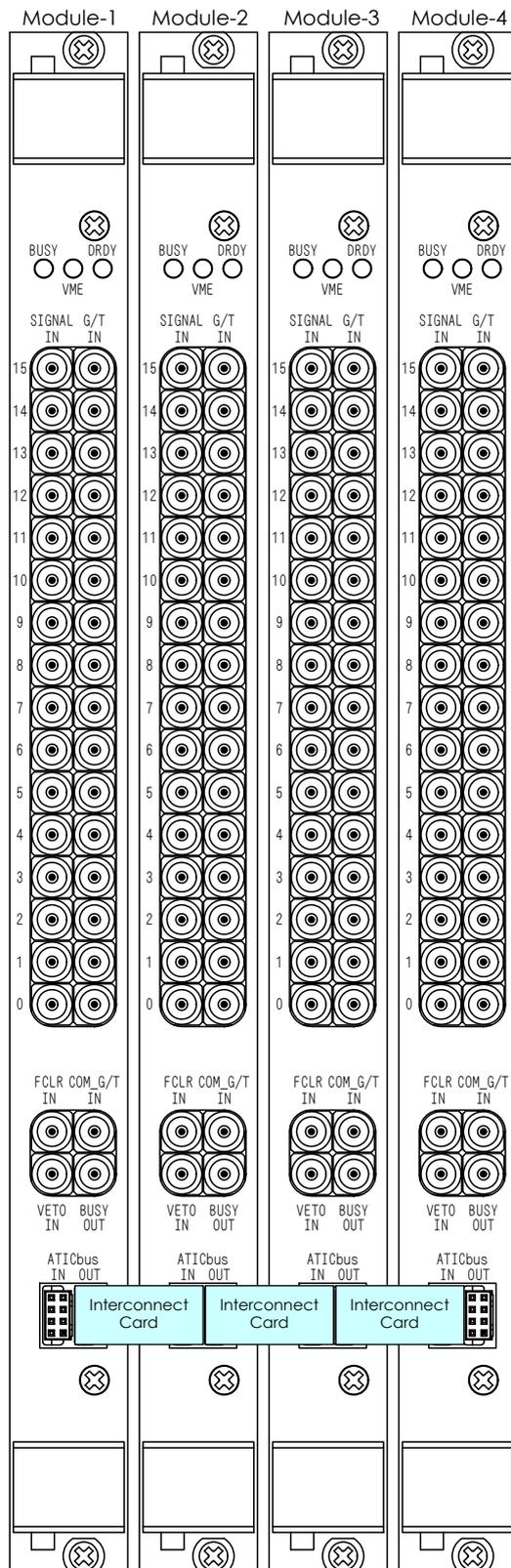
論理は MCSR レジスタの CGM0,CGM1 ビット (38 ページ参照)の設定により COIN/ANTI/OFF のいずれかに選択可能。
パルス幅は前縁エッジから 200ns~50 μs の範囲でプログラマブルに可変可能な内部生成パルスとの論理和。
Signal : NIM-FNL または ECL
Zin : 50 Ω、LEMO

COMmon Gate/Trigger Input
この入力信号は動作モードにより使用目的が異なります。
❖Gated List の場合は、この信号が真の期間にのみ全 Ch のピークホールドを行い、信号が偽になった時点から AD 変換を開始します。またこの信号の前縁エッジでイベントカウントをインクリメントします。
❖Triggered List の場合は、この信号の前縁エッジタイミングでタイムスタンプをゼロクリアするとともに、イベントカウントをインクリメントします。
❖上記以外の動作モードでは、全 Ch 共通のゲート信号として機能し、この信号が各 Ch のピーク検出タイミングにおいて真であった場合にのみピークホールドを行い AD 変換を実行します。

論理は MCSR レジスタの CGM0,CGM1 ビット (38 ページ参照)の設定によりゲート信号の場合は COIN/ANTI/OFF、トリガ信号の場合にはアクティブ・ハイ/ローのいずれかに選択可能。
パルス幅は前縁エッジから 200ns~50 μs の範囲でプログラマブルに可変可能な内部生成パルスとの論理和。
Signal : NIM-FNL または ECL
Zin : 50 Ω、LEMO

6. ATICbus(Acquire & Time Information Control bus)

入力数が 16ch 以上のシステムにおいてリスト測定を行う場合は、複数のモジュール間でのクロック、タイムスタンプ・カウンタのクリア、測定開始の同期を取る必要が生じます。ATICbus はこの目的を達成するために用意されており、付属の IC(Interconnect Card)を用いて隣り合うモジュールの OUT-IN 間を接続してバスを構成します。IC は左隣の ATICbus-OUT コネクタと右隣の IN コネクタを接続するように装着します。



ATICbus には LVDS(Low Voltage Differential Voltage)レベルの時間情報を計数するカウンタクロック TIC_CLK+/-とクリア TIC_CLR+/-、および LVCMOS レベルの測定制御信号 COM_START*が含まれます。

例えば左図のように Module-1~4 までの 4 枚を IC でバス接続すると、Module-1 がマスタ、Module-2 と 3 は中間に位置するスレーブ、Module-4 は最後のスレーブボードとなるように自動的に構成されます（この情報は MCSR レジスタの M/S0、M/S1 ビットにより知る事が出来ます）。

TIC_CLK+/-と TIC_CLR+/-信号はマスタである Module-1 がドライブし、全てのスレーブはレシーバとなり、全モジュールが共通のクロックおよびクリア信号を使用します。COM_START*信号はオープンドレインによる Wired-Or の接続形態をとり、マスタがこの信号をドライブします。従って全てのスレーブモジュールはマスタモジュールに同期して測定の開始/終了、タイムスタンプ・カウンタの計数開始がコントロールされる事になります。

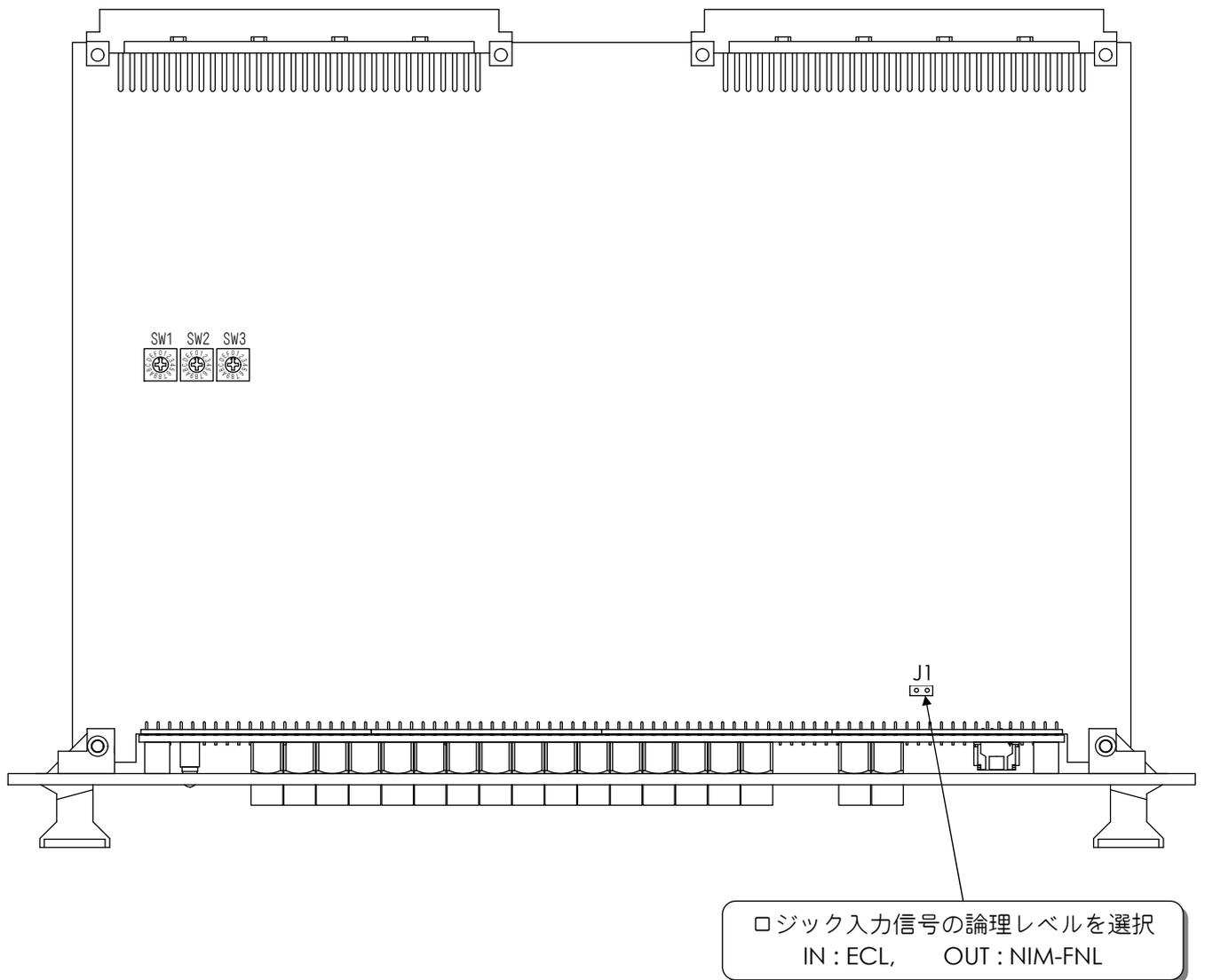
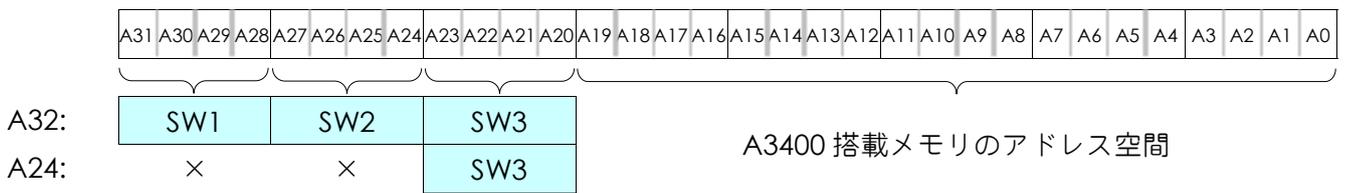
LVDS 信号の終端抵抗は最終スレーブモジュールのみが有効となり、それ以外のモジュールの終端抵抗は無効となるように自動的に構成されます。

PHA のみでの測定や同期動作を要求しないリスト測定の場合は ATICbus を接続する必要はありません。

7. VME インターフェース

7.1 ベースアドレス

A3400 は 1Mbyte(256 k × 32bits)のメモリを搭載しており、VMEbus に対して 0x00000~0xFFFFF のアドレス領域を占有しますが、これを VMEbus 全アドレス空間の何処に割り当てるのかを決めるのがベースアドレスの設定です。ベースアドレスの設定は下図の SW1~SW3 のスイッチで行います。SW1~SW3 は下図の様にそれぞれ VMEbus アドレスの A32-28、A27-24、A23-20 に対応しており、A32 アドレス指定モードでは全てのスイッチ、A24 アドレス指定モードでは SW3 の設定のみが有効となります。



7.2 AM(Address Modifier) code

ベースアドレスを介して A3400 にアクセスする場合にサポートされている AM コードは以下の通りです。

AM code	Description
0x3F	A24 supervisory block transfer(BLT)
0x3D	A24 supervisory data access
0x3B	A24 non privileged block transfer(BLT)
0x39	A24 non privileged data access
0x0F	A32 supervisory block transfer(BLT)
0x0D	A32 supervisory data access
0x0B	A32 non privileged block transfer(BLT)
0x09	A32 non privileged data access

7.3 MCST(Multicast) Addressing

複数枚の A3400 モジュールの同一のレジスタに、同じ内容のデータを書き込む場合、通常なら VME マスタ・モジュールは枚数分だけのアクセスを繰り返す必要がありますが、この MCST アドレッシングを利用すると 1 回のアクセスを実行するだけで全てのモジュールへの書き込みが同時に完了するというメリットがあります。但し、モジュールが MCST アドレッシングに正常に応答するためには以下の条件を満たしていなければなりません。

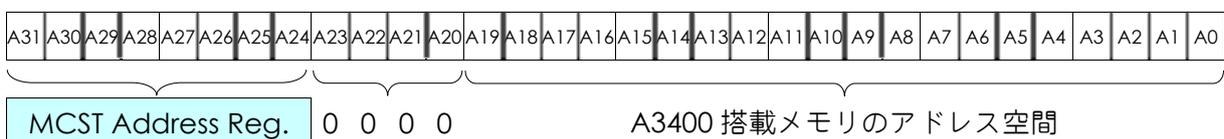
- (1) アクセス可能な AM コードは次の 2 通り。
 0x0D(A32 supervisory data access)
 0x09(A32 non privileged data access)
- (2) 書き込みサイクルのみ。
- (3) MCST アドレッシングに応答するようにレジスタが正しく設定されているモジュールのみ。

(1)と(2)は VME マスタ・モジュールのプログラミングだけで解決できる条件ですが、(3)は A3400 のレジスタ設定について正しく理解し、設定する必要があります。

MCST アドレッシングに関係のあるレジスタは MCST Address Reg.と MCST Control Reg.の 2 つで、それぞれ次のように設定します。

■MCST ベースアドレスを設定する。

「7.1 ベースアドレス」で定義したアドレス空間に行く通常のアクセスと、MCST によるアクセスのアドレス空間を分けるために、MCST アドレッシング用のベースアドレスを MCST Address Reg.に設定します。VME アドレスの A31-A24 が MCST Address Reg.に設定した 8bit の値に等しく、さらに A23-A20 までの 4bit がすべてゼロである場合のアドレス空間が MCST アドレッシングの可能な領域となります。MCST アドレッシングに응答させたいモジュールには全て同じ値を MCST Address Reg.に設定します。



■モジュールのチェーン（つながり）を設定する。

MCST のアクセスサイクルは全てのモジュールに対して一斉に同時に実行されるわけではありません。VMEbus の IACKIN/IACKOUT デイジー・チェーンを使用して、アクセスすることの出来る権利を表すトークンをモジュールから次のモジュールへと渡し、トークンを得たモジュールだけが書き込みサイクルを実行します。ICAKIN/ICAKOUT のデイジー・チェーンを使用しますからトークンは VMEbus バックプレーンのスロット番号の小さなスロットに装着されたモジュールから大きなスロット番号のモジュールへとパスされていくこととなりますが、単にスロットにモジュールが装着されているだけではトークンは正しくパスされていきません。MCST アクセスに対して応答するモジュールのチェーンを MCST Control Reg. に正しく設定しておく必要があります。MCST Control Reg. には 2 つのビットが次のように定義されています。

F bit	L bit	status	MCST チェーン内でのモジュールの位置
0	0	inactive	最初または最後以外のモジュール
0	1	active	最後のモジュール
1	0	active	最初のモジュール
1	1	active	最初と最後に挟まれた中間に位置するモジュール

最初のモジュールとは、MCST アクセスに응答させたいモジュールの繋がりの中で最も小さなスロット番号に装着されているモジュールのことです。最後のモジュールは逆に MCST アクセスに응答させたいモジュールの繋がりの中で最も大きなスロット番号に装着されているモジュールのことです。

中間に位置するモジュールに F、L bit 共に 0 を設定した場合は inactive なモジュールとして判断されるため書き込みを実行しませんが、トークンは次のモジュールへ正常にパスします。

MCST アドレッシングは VMEbus マスタ・モジュールの MCST アドレス空間への書き込みサイクル開始で始まり、まずは F、L bit=1,0 の最初のモジュールが書き込みを行います。書き込みが完了するとトークンを IACKOUT に出力し、次のモジュールへアクセス権を渡します。次のモジュールはそのトークンが IACKIN に入ってきた事を知ると書き込みサイクルを実行します。以降、最後のモジュールまでこの動作を繰り返し、最後のモジュールが書き込みを終えると VMEbus のデータ転送応答である DTACK ラインをドライブします。VMEbus マスタ・モジュールは DTACK を受けて、初めてこの書き込みバスサイクルを終了することになります。

以上のことから、MCST アドレッシングには次の 2 つの点で注意が必要です。

- (1) MCST アドレッシングは全てのモジュールが同一タイミングで書き込みを行うわけではないこと。
- (2) MCST チェーンを構成するモジュールの中間に空きスロットがあってはならないこと。但し Auto Daisy Chain 対応のバックプレーンであればこの限りではありません。

7.4 VME Interrupt

A3400 が VMEbus へ割り込みを発生する要因としては、リストデータバッファへのデータ書き込み状況に拠る 2通りがあります。

■リストデータサイズによる割り込み

リストデータバッファに書き込まれたデータサイズが List Data Size Preset Reg.の設定値をオーバーしたら割り込みを発生します。

測定が一時中断されることなく継続して行えるようにするには書き込みデータでリストデータバッファが一杯になる前に、リストデータバッファのデータを適当な頻度で常に読み出してやる必要があります。通常では List Data Size Preset Reg.にリストデータバッファサイズの約半分の値を設定して割り込みを待ちます。そうすると VMEbus マスタが割り込み発生を受けてリストデータバッファの読み出しを行っている間にも、残り半分の空き領域に新たな測定データを書き込むことが出来ます。しかしながらこれはあくまでも全 Ch 入力信号により生ずる書き込みデータ量のレートと VMEbus マスタによる読み出し転送レートが接近している場合であり、両者のバランスが大きく異なる場合には List Data Size Preset Reg.に設定する値もそれに依りて検討しなおす必要があります。

■イベントカウント数による割り込み

イベントカウント数が Event Count Preset Reg.の設定値をオーバーしたら割り込みを発生します。

この割り込みはイベントカウントがカウントアップする Gated List または Triggered List の場合だけに有効です。また Event Count Preset Reg.の設定値と比較されるイベントカウント数とはイベントカウント値そのものの絶対値ではなく、割り込み発生から次の割り込み発生時までのイベントカウントの差分の数となります。

COM_G/TIN 入力パルス 1 個による 1 イベント当りのリストデータバッファ書き込みデータサイズは、そのときに信号入力のあった Ch 数に依存するので一概に断定出来ませんが、最大値は 16ch 全てに入ってきた場合で、Gated List : $19 \times 32\text{bit}$ 、Triggered List : $48 \times 32\text{bit}$ のデータサイズとなります。

逆に、最小値は Gated List モードにおいて 1ch しか信号入力が無かった場合の $4 \times 32\text{bit}$ です。従って設定可能なイベントカウント・プリセットの最大値はバッファサイズによる限界から $127k \times 32\text{bit} / 4 \times 32\text{bit} = 32512 (0x7F00)$ となります。

希望する割り込み発生時の割込みレベルは IRQ Control Reg.に、また割込み応答サイクル時に VMEbus マスタによって読み出される割込み Status/ID は IRQ Vector Reg.に初期設定しておきます。

A3400 からの割込み信号は当モジュールへの割込み応答サイクル実行時点で解除されます。

8. Memory

256k×32bitのメモリにはCh0～Ch16までのPHAメモリに128k×32bit、リストデータバッファに127k×32bit、レジスタ領域に1k×32bitが割り当てられています。

各PHAメモリのデータサイズは8kch×32bitで、内部のデータ構造は下図の通りです。

リストデータバッファについては「9. List Data Buffer」、レジスタは「10. Register Map」を参照。

	D31	D24 D23	D16 D15	D8 D7	D0
BA+0x00000 ch0 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x08000 ch1 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x10000 ch2 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x18000 ch3 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x20000 ch4 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x28000 ch5 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x30000 ch6 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x38000 ch7 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x40000 ch8 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x48000 ch9 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x50000 ch10 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x58000 ch11 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x60000 ch12 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x68000 ch13 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x70000 ch14 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x78000 ch15 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x80000	List Data Buffer(127k x 32bit)				
BA+0xFEFFC BA+0xFF000	Register(1k x 32bit)				
BA+0xFFFFC					

(BA: Base Address)

9 . List Data Buffer

リストデータはロングワード(32bit)単位でリストデータバッファに書き込まれ、その内容は各動作モードにより変化するため、各データの上位 3bit にはそのデータがどのような内容のものであるかを表す DID(Data Identification)ビットが定義されています。

DID No.	D31	D30	D29	Description
0	0	0	0	(Reserved)
1	0	0	1	(Reserved)
2	0	1	0	Gated List モード時の ADC データ
3	0	1	1	イベントカウントデータ
4	1	0	0	(Reserved)
5	1	0	1	(Reserved)
6	1	1	0	タイムスタンプ(HI) + ADC データ
7	1	1	1	タイムスタンプ(LO)データ

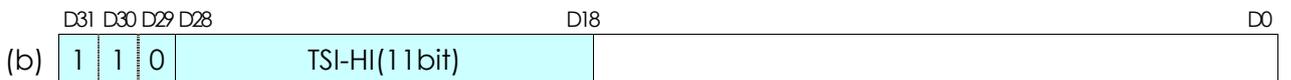
以降、各リスト動作モードにおけるデータ構造を説明します。

9.1 GATED LIST

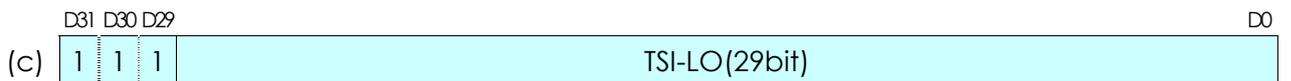
1 イベント当りのリストデータバッファに書き込まれるデータは、1 個~16 個までの下図(a)に示す ADC データ、(b)(c)のタイムスタンプ、(d)のイベントカウントデータから成り立ち、ADC データの数はイベント発生時に信号入力のあった Ch 数により変化します。



- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ NAI(Number of Active Input): 入力のあった Ch の総数(1 - 0x10)
- ・ DSN(Data Sequence Number): 先頭の ADC データからの通し番号(1 - NAI)



- ・ TSI-HI: Time Stamp Information(Higher 11bits)



- ・ TSI-LO: Time Stamp Information(Lower 29bits)



一例として COM_G/T IN の期間中に Ch0、Ch2、Ch3、Ch6、Ch10 の入力があり、次の COM_G/T IN 期間中には Ch1、Ch3、Ch14 に入力があった場合は、以下のようなデータがリストデータバッファに書き込まれます。

D31	D30	D29	D27	D23	D22	D18	D17	D14	D12	D0						
0	1	0	0	0	0	1	0	0	1	0	0	0	0	0	ADC Data(ch0)	
0	1	0	0	0	0	1	0	0	0	1	0	1	0	0	ADC Data(ch2)	
0	1	0	0	0	0	1	1	0	0	1	0	1	0	0	ADC Data(ch3)	
0	1	0	0	0	1	0	0	0	0	1	0	1	0	1	ADC Data(ch6)	
0	1	0	0	0	1	0	1	0	0	1	0	1	1	0	ADC Data(ch10)	
1	1	0	TSI-HI(11bit)@event=n													
1	1	1	TSI-LO(29bit)@event=n													
0	1	1	Event Counts(n)													
0	1	0	0	0	0	0	1	0	0	0	1	1	0	0	0	ADC Data(ch1)
0	1	0	0	0	0	1	0	0	0	0	1	1	0	0	1	ADC Data(ch3)
0	1	0	0	0	0	1	1	0	0	0	1	1	1	1	0	ADC Data(ch14)
1	1	0	TSI-HI(11bit)@event=n+1													
1	1	1	TSI-LO(29bit)@event=n+1													
0	1	1	Event Counts(n+1)													

9.2 FREE RUN LIST

1入力信号あたり次の2つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D12	D0	
1	1	0	TSI-HI(11bit)					Ch#	ADC Data

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bit)

D31	D30	D29	D28	D0
1	1	1	TSI-LO(29bit)	

- ・ TSI-LO: Time Stamp Information(Lower 29bit)

9.3 TRIGGERED LIST

1入力信号あたり次の3つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D12	D0	
1	1	0	TSI-HI(11bit)					Ch#	ADC Data

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bit)

D31	D30	D29	D28	D0
1	1	1	TSI-LO(29bit)	

- ・ TSI-LO: Time Stamp Information(Lower 29bit)

D31	D30	D29	D27	D0
0	1	1	Event Counts(28bit)	

9.4 リストデータバッファのデータリード

リストデータバッファはリングバッファとして機能するように構成されており、WrPtr(書き込みポインタ)、RdPtr(読み出しポインタ)の2つのポインタと EmpFlg(EMPTY・フラグ)、FullFlg(FULL・フラグ)の2つのフラグによって管理され、それらはハードウェアにより自動的に更新されます。

リストデータバッファに書き込まれるデータはロングワード・サイズが一つの単位となっているため、WrPtr と RdPtr はリストデータバッファ開始アドレスからのオフセットをロングワード数で表し、0～0x1FBFF(0～127k-1)までの範囲の値を持ちます。

WrPtr は A3200 がバッファにデータを書き込んだとき、RdPtr は VMEbus マスタ・モジュールがバッファからデータを読み出したとき自動的に更新され、これら2つのポインタの変化に応じて FullFlg と EmpFlg の内容もハードウェアによりリアルタイムに更新されます。

従って、VMEbus マスタ・モジュールがリストデータバッファをリードする際は RdPtr の示すバッファの開始アドレスから、WrPtr と RdPtr の差に等しいロングワード数のデータを読み出します。この時に注意しなければならないことは「リングバッファなので WrPtr と RdPtr の大小関係が逆転するときがある」という1点だけです。

1 0 . Register Map

メモリの BA + 0xFF000 ~ 0xFFFFC に割り当てられている各レジスタの詳細について説明します。

10.1 Register Address Map

Offset Address	Register Content	Access
0xFF000~0xFF03C	CDR(Channel Dependence Registers) for Ch0 (see 9.2)	(see 10.2)
0xFF040~0xFF07C	CDR(Channel Dependence Registers) for Ch1 (see 9.2)	(see 10.2)
0xFF080~0xFF0BC	CDR(Channel Dependence Registers) for Ch2 (see 9.2)	(see 10.2)
0xFF0C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch3 (see 9.2)	(see 10.2)
0xFF100~0xFF13C	CDR(Channel Dependence Registers) for Ch4 (see 9.2)	(see 10.2)
0xFF140~0xFF17C	CDR(Channel Dependence Registers) for Ch5 (see 9.2)	(see 10.2)
0xFF180~0xFF1BC	CDR(Channel Dependence Registers) for Ch6 (see 9.2)	(see 10.2)
0xFF1C0~0xFF1FC	CDR(Channel Dependence Registers) for Ch7 (see 9.2)	(see 10.2)
0xFF200~0xFF23C	CDR(Channel Dependence Registers) for Ch8 (see 9.2)	(see 10.2)
0xFF240~0xFF27C	CDR(Channel Dependence Registers) for Ch9 (see 9.2)	(see 10.2)
0xFF280~0xFF2BC	CDR(Channel Dependence Registers) for Ch10 (see 9.2)	(see 10.2)
0xFF2C0~0xFF2FC	CDR(Channel Dependence Registers) for Ch11 (see 9.2)	(see 10.2)
0xFF300~0xFF33C	CDR(Channel Dependence Registers) for Ch12 (see 9.2)	(see 10.2)
0xFF340~0xFF37C	CDR(Channel Dependence Registers) for Ch13 (see 9.2)	(see 10.2)
0xFF380~0xFF3BC	CDR(Channel Dependence Registers) for Ch14 (see 9.2)	(see 10.2)
0xFF3C0~0xFF3FC	CDR(Channel Dependence Registers) for Ch15 (see 9.2)	(see 10.2)
0xFF400	IRQVR (IRQ Vector Register)	Read/Write
0xFF404	IRQCR (IRQ Level Register)	Read/Write
0xFF408	MCSTAR (Multicast Address Register)	Read/Write
0xFF40C	MCSTCR (Multicast Control Register)	Read/Write
0xFF410	LBWPR (List Buffer Write Pointer Register)	Read only
0xFF414	LBRPR (List Buffer Read Pointer Register)	Read only
0xFF418	LBEFR (List Buffer Empty Flag Register)	Read only
0xFF41C	LBFFR (List Buffer Full Flag Register)	Read only
0xFF420	AMR (Acquire Mode Register)	Read/Write
0xFF424	ECPVR (Event Count Preset Value Register)	Read/Write
0xFF428	LDSPVR (List Data Size Preset Value Register)	Read/Write
0xFF42C	COMGPWR (COMmon Gate Pulse Width Register)	Read/Write
0xFF430	COMGCR (COMmon Gate Count Register)	Read/Write
0xFF434~0xFF43C	(Reserved)	-
0xFF440	ACR (Acquire Control Register)	Read/Write
0xFF444	MCSR (Module Control Status Register)	Read/Write
0xFF448~0xFFFFE8	(Reserved)	-
0xFFFFEC	FPGA VR (FPGA Version Register)	Read only
0xFFFFF0	LCPUVR (Local CPU Version Register)	Read only
0xFFFFF4	MIR (Module Identification Register)	Read only
0xFFFFF8~0xFFFFFC	(Reserved)	-

10.2 CDR(Channel Dependence Registers) Address Map

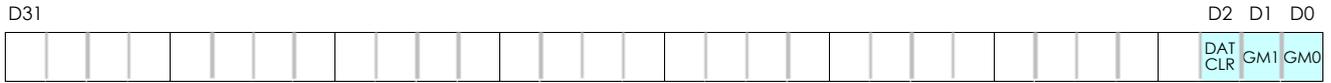
以下のレジスタは全く同じ内容のものが各 Ch に設けられています。

Offset Address	Register Content	Access
0xFF000+0x40*n	CCR (Channel Control Register)	Read/Write
0xFF004+0x40*n	CZLR (Channel Zero Level Register)	Read/Write
0xFF008+0x40*n	CLLDR (Channel Lower Level Discriminator Register)	Read/Write
0xFF00C+0x40*n	CGPWR (Channel Gate Pulse Width Register)	Read/Write
0xFF010+0x40*n	CRTR (Channel Real Time Register)	Read/Write
0xFF014+0x40*n	CLTR (Channel Live Time Register)	Read/Write
0xFF018+0x40*n	CGCR (Channel Gate Count Register)	Read/Write
0xFF01C+0x40*n	(Reserved)	-
0xFF020+0x40*n	CCGR (Channel Conversion Gain Register)	Read/Write
0xFF024+0x40*n	CPMR (Channel Preset Mode Register)	Read/Write
0xFF028+0x40*n	CPVR (Channel Preset Value Register)	Read/Write
0xFF02C+0x40*n	SROI CR (Start of Preset ROI Channel Register)	Read/Write
0xFF030+0x40*n	NROI CR (Number of Preset ROI Channel Register)	Read/Write
0xFF034+0x40*n	(Reserved)	
0xFF038+0x40*n	(Reserved)	
0xFF03C+0x40*n	(Reserved)	

(n = Ch# : 0~15)

11. 各レジスタの詳細

11.1 CCR(Channel Control Register) : BA + 0xFF000 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0	GM0	1	R/W	Gate Mode 1, 0
1	GM1	1	R/W	各 Ch の G/T IN 入力信号をゲートとして使用する場合のモードを設定します。(FREE RUN LIST または TRIGGERED LIST モード時にこの信号をトリガ信号として使用する場合はこの設定とは関係なく、常にアクティブ・ハイの論理になります) <u>GM1</u> <u>GM0</u> 0 0 : (無効) 0 1 : Anti Coincidence 1 0 : Coincidence 1 1 : Off
2	DAT CLR	0	R/W	Data Clear このビットを 1 にセットすると、該当するチャンネルの PHA データメモリおよびリアルタイム(CRTR)、ライブタイム(CLTR)、ゲートカウント(CGCR)をゼロクリアします。 クリアが完了すると A3400 はこのビットも 0 にしてクリアが完了したことを知らせます。

測定中の設定変更を禁止します (仮に変更したとしても無視されます)

11.2 CZLR(Channel Zero Level Register) : BA + 0xFF004 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 11	ZL0 - ZL11	0x800	R/W	Zero Level 0 - 11 フルスケールの±5%の範囲でゼロ調整を設定します。 <u>設定値</u> <u>ゼロレベル</u> 0xFFFF(4095) : +4.997558594% : 0x801(2049) : +0.002441406% 0x800(2048) : 0% 0x7FF(2047) : -0.002441406% : 0x000(0) : -5.000000000%

11.5 CRTR(Channel Real Time Register) : BA + 0xFF010 + 0x40 * n(n=Ch#0~15)

D31

D0

Real Time(32bit)	
------------------	--

ビット	名称	初期値	R/W	説明
0 - 31	RT0 - RT31	0	R/W	Real Time 0 - 31 0.01sec~ 42949672.95sec範囲を持つ10ms単位のリアルタイム・データです。データクリアで自動的にゼロクリアされます。通常はリードしか行いません。もしCCRレジスタのDAT CLRビットを使用せずに、PHAメモリをクリアした場合にはこのレジスタに0をライトしてリアルタイムも一緒にゼロクリアします。

11.6 CLTR(Channel Live Time Register) : BA + 0xFF014 + 0x40 * n(n=Ch#0~15)

D31

D0

Live Time(32bit)	
------------------	--

ビット	名称	初期値	R/W	説明
0 - 31	LT0 - LT31	0	R/W	Live Time 0 - 31 0.01sec~ 42949672.95secの範囲を持つ10ms単位のライブタイム・データです。データクリアで自動的にゼロクリアされます。通常はリードしか行いません。もしCCRレジスタのDAT CLRビットを使用せずに、PHAメモリをクリアした場合にはこのレジスタに0をライトしてライブタイムも一緒にゼロクリアします。

11.7 CGCR(Channel Gate Count Register) : BA + 0xFF018 + 0x40 * n(n=Ch#0~15)

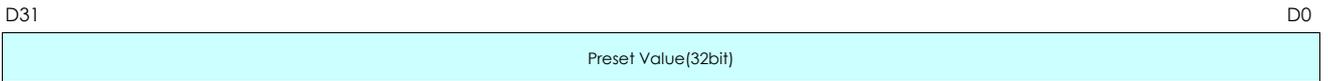
D31

D0

Gate Count(32bit)	
-------------------	--

ビット	名称	初期値	R/W	説明
0 - 31	GC0 - GC31	0	R/W	Gate Count 0 - 31 測定期間中に各チャンネル専用ゲート入力に入ってきたパルスのカウント数をあらわします。データクリアで自動的にゼロクリアされます。通常はリードしか行いません。もしCCRレジスタのDAT CLRやMCSRレジスタのPHA CLRビットを使用せずに、PHAメモリをクリアした場合にはこのレジスタに0をライトしてゲートカウントも一緒にゼロクリアします。

11.10 CPVR(Channel Preset Value Register) : BA + 0xFF028 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 31	PV0 - PV31	100	R/W	Preset Value 0 - 31 プリセットの値を設定します。 <u>Preset Mode</u> <u>設定できるプリセット値の範囲</u> RT : 100 - 4294967295(1.00 - 42949672.95sec) LT : 100 - 4294967295(1.00 - 42949672.95sec) PC : 1 - 4294967295Counts(2 ³² -1) IC : 1 - 4294967295Counts(2 ³² -1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

11.11 SPROICR(Start of Preset ROI Channel Register) : BA + 0xFF02C + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 12	SOC0 - SOC12	0	R/W	Start of Channel 0 - 12 プリセットモードがPCまたはICの場合にプリセットの対象となる ROI 領域の開始チャンネルを設定する。 設定できる値の範囲は 0 ~ (Conversion Gain - 1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

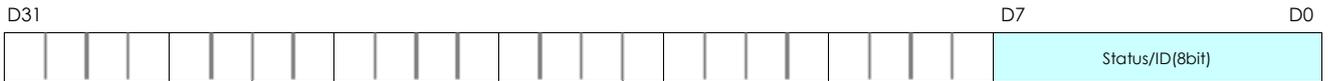
11.12 NPROICR(Number of Preset ROI Channel Register) : BA + 0xFF030 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 12	NOC0 - NOC12	0	R/W	Number of Channel 0 - 12 プリセットモードがPCまたはICの場合にプリセットの対象となる ROI 領域のチャンネル数を設定する。 設定できる値の範囲は 1 ~ (Conversion Gain - SPROICR 設定値)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

11.13 IRQVR(IRQ Vector Register) : BA + 0xFF400



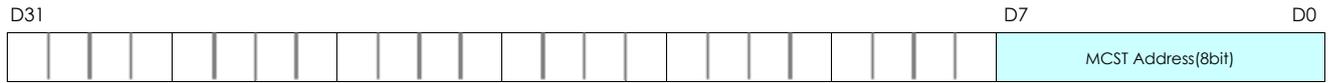
ビット	名称	初期値	R/W	説明
0 - 7	S/ID0 - S/ID7	0	R/W	Status/ID 0 - 7 割込み応答サイクル時に VME データバスに送出するベクタ・アドレスを設定する。

11.14 IRQCR(IRQ Control Register) : BA + 0xFF404



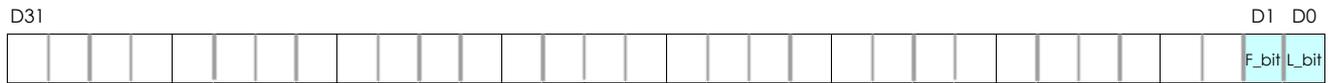
ビット	名称	初期値	R/W	説明																																				
0	LVL0	0	R/W	IRQ Level 2, 1, 0																																				
1	LVL1	0	R/W	割込み発生時の割込み要求レベルを設定します。																																				
2	LVL2	0	R/W	<table border="0"> <tr> <td><u>LVL2</u></td> <td><u>LVL1</u></td> <td><u>LVL0</u></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: IRQ OFF</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: IRQ1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: IRQ2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: IRQ3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: IRQ4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: IRQ5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: IRQ6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: IRQ7</td> </tr> </table>	<u>LVL2</u>	<u>LVL1</u>	<u>LVL0</u>		0	0	0	: IRQ OFF	0	0	1	: IRQ1	0	1	0	: IRQ2	0	1	1	: IRQ3	1	0	0	: IRQ4	1	0	1	: IRQ5	1	1	0	: IRQ6	1	1	1	: IRQ7
<u>LVL2</u>	<u>LVL1</u>	<u>LVL0</u>																																						
0	0	0	: IRQ OFF																																					
0	0	1	: IRQ1																																					
0	1	0	: IRQ2																																					
0	1	1	: IRQ3																																					
1	0	0	: IRQ4																																					
1	0	1	: IRQ5																																					
1	1	0	: IRQ6																																					
1	1	1	: IRQ7																																					
6	ECPIE	0	R/W	Event Counts Preset IRQ Enable 0: イベントカウント・プリセットによる割込みを禁止 1: イベントカウント・プリセットによる割込みを許可																																				
7	LDSPIE	0	R/W	List Data Size Preset IRQ Enable 0: リストデータサイズ・プリセットによる割込みを禁止 1: リストデータサイズ・プリセットによる割込みを許可																																				

11.15 MCSTAR(Multicast Address Register) : BA + 0xFF408

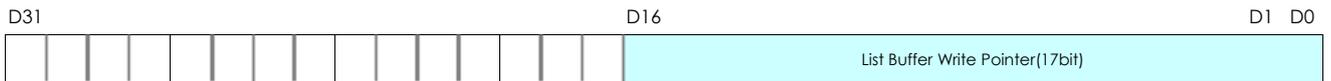


ビット	名称	初期値	R/W	説明
0 - 7	MA0 - MA7	0xEE	R/W	Multicast Address 0 - 7 MCST アドレッシング空間を定める A32 アドレス指定モードの上位 8bit に該当する値を設定する。

11.16 MCSTCRM(Multicast Control Register) : BA + 0xFF40C



ビット	名称	初期値	R/W	説明															
0	L_bit	0	R/W	Last bit, F_bit															
1	F_bit	0	R/W	MCST コマンドに対して応答するモジュールのチェーンを設定する。 <table border="0" style="margin-left: 20px;"> <tr> <td><u>F_bit</u></td> <td><u>L_bit</u></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0 : 最初または最後以外のモジュール(Inactive)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 : 最後のモジュール(Active)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0 : 最初のモジュール(Active)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1 : 最初と最後に挟まれた中間に位置するモジュール(Active)</td> </tr> </table>	<u>F_bit</u>	<u>L_bit</u>		0	0	0 : 最初または最後以外のモジュール(Inactive)	0	1	1 : 最後のモジュール(Active)	1	0	0 : 最初のモジュール(Active)	1	1	1 : 最初と最後に挟まれた中間に位置するモジュール(Active)
<u>F_bit</u>	<u>L_bit</u>																		
0	0	0 : 最初または最後以外のモジュール(Inactive)																	
0	1	1 : 最後のモジュール(Active)																	
1	0	0 : 最初のモジュール(Active)																	
1	1	1 : 最初と最後に挟まれた中間に位置するモジュール(Active)																	

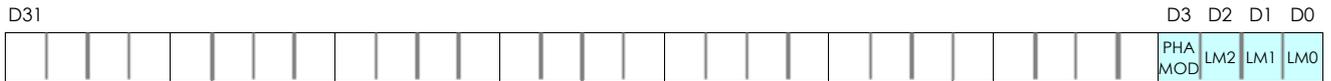
11.17 LBWPR(List Buffer Write Pointer Register) : BA + 0xFF410


ビット	名称	初期値	R/W	説明
0 - 16	WRPTR0 – WRPTR16	0	R	Write pointer 0 - 16 リストデータバッファへのデータ書き込み先を表すポインタで、値の範囲は 0 ~ 0x1FBFF。 この内容は A3400 がバッファにデータを書き込むとき、ハードウェアにより自動的にインクリメントされる。 リストデータバッファをクリアするとこの内容も自動的にゼロクリアされる。

11.18 LBRPR(List Buffer Read Pointer Register) : BA + 0xFF414


ビット	名称	初期値	R/W	説明
0 - 16	RDPTR0 – RDPTR16	0	R	Read pointer 0 - 16 リストデータバッファからデータを読み出すべき場所を表すポインタで、値の範囲は 0 ~ 0x1FBFF。 この内容は VME マスタがバッファからデータを読み出すとき、ハードウェアにより自動的にインクリメントされる。 リストデータバッファをクリアするとこの内容も自動的にゼロクリアされる。

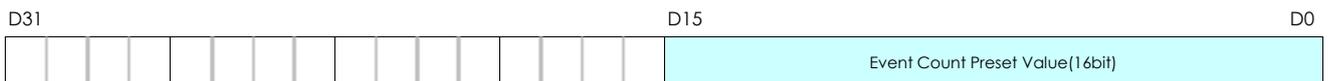
11.21 AMR(Acquire Mode Register) : BA + 0xFF420



ビット	名称	初期値	R/W	説明
0	LM0	0	R/W	3bit で LIST 動作モードを設定します。
1	LM1	0	R/W	<u>LM2</u> <u>LM1</u> <u>LM0</u>
2	LM2	0	R/W	0 0 0 : LIST OFF 0 0 1 : (Reserved) 0 1 0 : GATED LIST 0 1 1 : (Reserved) 1 0 0 : (Reserved) 1 0 1 : FREE RUN LIST 1 1 0 : (Reserved) 1 1 1 : TRIGGERED LIST
3	PHAMOD	1	R/W	PHA モードの ON/OFF を設定します。 0 : PHA OFF 1 : PHA ON

- ・ 測定中の設定変更を禁止します（仮に変更したとしても無視されます）

11.22 ECPVR(Event Count Preset Value Register) : BA + 0xFF424



ビット	名称	初期値	R/W	説明
0 - 15	ECPV0 – ECPV15	0	R/W	Event Count Preset Value 0 – 15 0 : OFF 1 ~ 0xFE00 : 設定可能なイベントカウント数 Gated List または Triggered List 動作モードにおいて、測定開始または前回このプリセットに達した時点からのイベントカウント数がこのレジスタ設定値を超えたら、MCSR レジスタの ECOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割込み許可を表す IRQCR レジスタの ECPIC ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。 詳細は「7.4 VME Interrupt」を参照してください。

11.23 LDSPVR(List Data Size Preset Value Register) : BA + 0xFF428



ビット	名称	初期値	R/W	説明
0 - 16	LDSPV0 – LDSPV15	0	R/W	<p>List Data Size Preset Value 0 – 16</p> <p>0 : OFF</p> <p>1 ~ 0x1FBFF : 設定可能なデータサイズ(ロングワード単位)</p> <p>全てのリストモード動作時において、測定開始または前回このプリセットに達した時点からのロングワード・データサイズがこのレジスタ設定値を超えたら、MCSR レジスタの LDSOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割り込み許可を表す IRQCR レジスタの LDSPIE ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。</p> <p>詳細は「7.4 VME Interrupt」を参照してください。</p>

11.24 COMGPWR(COMmon Gate Pulse Width Register) : BA + 0xFF42C



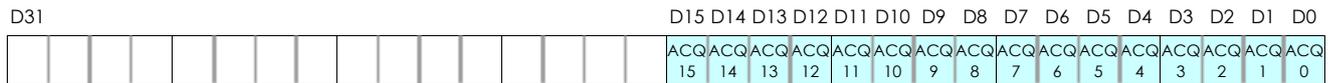
ビット	名称	初期値	R/W	説明												
0 - 13	CGPW0 - CGPW13	0x28 (40)	R/W	<p>Common Gate Pulse Width0 - 13</p> <p>内部で生成するゲートパルスの幅として 200ns~50μs 範囲を 5ns ステップで設定します。</p> <p>レジスタに設定する値は (実際のパルス幅÷5) を設定します。</p> <table border="0"> <tr> <td style="text-align: center;"><u>設定値</u></td> <td style="text-align: center;"><u>パルス幅</u></td> </tr> <tr> <td>0x28(40) :</td> <td>200ns</td> </tr> <tr> <td>0x29(41) :</td> <td>205ns</td> </tr> <tr> <td style="text-align: center;">:</td> <td></td> </tr> <tr> <td>0x270F(9999) :</td> <td>49.95μs</td> </tr> <tr> <td>0x2710(10000) :</td> <td>50μs</td> </tr> </table>	<u>設定値</u>	<u>パルス幅</u>	0x28(40) :	200ns	0x29(41) :	205ns	:		0x270F(9999) :	49.95μs	0x2710(10000) :	50μs
<u>設定値</u>	<u>パルス幅</u>															
0x28(40) :	200ns															
0x29(41) :	205ns															
:																
0x270F(9999) :	49.95μs															
0x2710(10000) :	50μs															

11.25 COMGCR(COMMON Gate Count Register) : BA + 0xFF430



ビット	名称	初期値	R/W	説明
0 - 31	CGC0 - CGC31	0	R/W	Common Gate Count0 - 31 測定期間中にコモンゲート入力に入ってきたパルスのカウント数をあらわします。いずれかのchのPHAデータクリアで自動的にゼロクリアされます。 通常はリードしか行いません。もしCCRレジスタのDAT CLRまたはMCSRレジスタのPHA CLRビットを使用せずに、PHAメモリをクリアした場合にはこのレジスタに0をライトしてコモンゲートカウントも一緒にゼロクリアします。

11.26 ACR(Acquire Control Register) : BA + 0xFF440



ビット	名称	初期値	R/W	説明
0	ACQ0	0	R/W	Acquire 0 - 15
1	ACQ1	0	R/W	各 Ch の測定のスタート/ストップを指令すると共に、測定状態のステータスも表します (ACQ0 - 15 はそれぞれ Ch0 - 15 に対応しています)。 ■書き込み時は 0 : 測定の停止を指令する。 1 : 測定の開始を指令する。 ■読み出し時は 0 : 停止している。 1 : 測定中である。 PHA モードでプリセットを設定して測定している場合は、プリセットに達すると A3400 が勝手に測定を停止し、対応する Ch の ACQn ビットを 0 にします。従ってこのレジスタを読むことで全 Ch の測定状態をモニタすることが出来ます。 ACQn のビットを 1 にセットした直後に読み戻してみたらそのビットが 0 であるような場合は、すでにプリセットに達して停止しており、測定を再開できない状態にあることを表します。
2	ACQ2	0	R/W	
3	ACQ3	0	R/W	
4	ACQ4	0	R/W	
5	ACQ5	0	R/W	
6	ACQ6	0	R/W	
7	ACQ7	0	R/W	
8	ACQ8	0	R/W	
9	ACQ9	0	R/W	
10	ACQ10	0	R/W	
11	ACQ11	0	R/W	
12	ACQ12	0	R/W	
13	ACQ13	0	R/W	
14	ACQ14	0	R/W	
15	ACQ15	0	R/W	

11.27 MCSR(Module Control Status Register) : BA + 0xFF444

D31	D30	D29	D27		D26	D15						D14	D13	D12	D9		D8	D6			D5	D4	D1		D0
LBUF	LDS	EC	M/S	M/S									EC	LBUF	PHA		TIL	PH	TB2	TB1	TB0			CGM	CGM
OVFL	OVF	OVF	1	0									CLR	CLR	CLR		SEL	MOD						1	0

ビット	名称	初期値	R/W	説明																																				
0	CGM0	1	R/W	Common Gate Mode 1, 0																																				
1	CGM1	1	R/W	全 Ch 共通の COM_G/T IN 入力信号の論理を設定します。 Triggered List モード時のトリガ信号、その他の動作モードにおけるゲート信号の論理は以下のようになります。 <table border="1"> <tr> <td><u>GM1</u></td> <td><u>GM0</u></td> <td><u>ゲート信号</u></td> <td><u>トリガ信号</u></td> </tr> <tr> <td>0</td> <td>0</td> <td>(無効)</td> <td>(無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Anti Coincidence</td> <td>Active Low</td> </tr> <tr> <td>1</td> <td>0</td> <td>Coincidence</td> <td>Active High</td> </tr> <tr> <td>1</td> <td>1</td> <td>Off</td> <td>(無効)</td> </tr> </table>	<u>GM1</u>	<u>GM0</u>	<u>ゲート信号</u>	<u>トリガ信号</u>	0	0	(無効)	(無効)	0	1	Anti Coincidence	Active Low	1	0	Coincidence	Active High	1	1	Off	(無効)																
<u>GM1</u>	<u>GM0</u>	<u>ゲート信号</u>	<u>トリガ信号</u>																																					
0	0	(無効)	(無効)																																					
0	1	Anti Coincidence	Active Low																																					
1	0	Coincidence	Active High																																					
1	1	Off	(無効)																																					
4	TB0	0	R/W	Time Base 0-2																																				
5	TB1	0	R/W	タイムスタンプ・クロックのタイムベースを設定する。																																				
6	TB2	0	R/W	<table border="1"> <tr> <td><u>TB2</u></td> <td><u>TB1</u></td> <td><u>TB0</u></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>5nsec</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>10nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>20nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>50nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>100nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>200nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>500nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1μsec</td> </tr> </table>	<u>TB2</u>	<u>TB1</u>	<u>TB0</u>		0	0	0	5nsec	0	0	1	10nsec	0	1	0	20nsec	0	1	1	50nsec	1	0	0	100nsec	1	0	1	200nsec	1	1	0	500nsec	1	1	1	1μsec
<u>TB2</u>	<u>TB1</u>	<u>TB0</u>																																						
0	0	0	5nsec																																					
0	0	1	10nsec																																					
0	1	0	20nsec																																					
0	1	1	50nsec																																					
1	0	0	100nsec																																					
1	0	1	200nsec																																					
1	1	0	500nsec																																					
1	1	1	1μsec																																					
8	PHMOD	0	R/W	Peak Hold Mode Gated ListT 時における COM_G/T 信号期間内でのピークホールドの方法を選択する。 0: 最初のピークレベルをホールドする。 1: 最も大きなピークレベルをホールドする。																																				
9	TILSEL	0	R/W	Time Information Latch Select Free Run List、Triggered List 時にタイムスタンプをラッチするタイミングを選択する。 0: 各 Ch のピーク検出のタイミング 1: 各 Ch の G/T IN 入力信号の前縁エッジタイミング																																				
12	PHA CLR	0	R/W	PHA Memory Clear このビットを 1 にセットすると、全 Ch の PHA データメモリおよび CRTR, CLTR, CGCR, COMGCR レジスタの内容をゼロクリアします。 クリアが完了すると A3400 はこのビットを 0 にしてクリアが完																																				

				了したことを知らせます。
13	LBUF CLR	0	R/W	List Buffer Clear このビットを 1 にセットすると、リストデータバッファの内容を全てゼロクリアします。 クリアが完了すると A3400 はこのビットを 0 にしてクリアが完了したことを知らせます。
14	EC CLR	0	R/W	Event Count Clear このビットを 1 にセットすると、イベントカウンタの内容をゼロクリアします。 クリアが完了すると A3400 はこのビットを 0 にしてクリアが完了したことを知らせます。
26	M/S0	(不定)	R	Master/Slave 0、1
27	M/S1	(不定)	R	ATICbus における本モジュールの接続状況を表します。 <u>M/S1</u> <u>M/S0</u> 0 0: バス接続の中間に位置するスレーブ 0 1: バス接続の最後に位置するスレーブ 1 0: マスタ (バス接続の最初に位置する) 1 1: スタンドアローン
29	EC OVF	0	R/W	Event Count Over Flag 0: イベントカウンタはプリセット値に達していない。 1: イベントカウンタはプリセット値をオーバーしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。
30	LDS OVF	0	R/W	List Data Size Over Flag 0: リストデータサイズはプリセット値に達していない。 1: リストデータサイズはプリセット値をオーバーしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。
31	LBUF OVFL	0	R/W	List Buffer Overflow 0: リストデータバッファはオーバーフローしていない。 1: リストデータバッファはオーバーフローしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。

Bit0~13 までは測定中の設定変更を禁止します (仮に変更したとしても無視されます)

Bit26,27 は常に書き込み禁止です

11.28 FPGAVR(FPGA Version Register) : BA + 0xFFFE C

D31	D15	D0
		

ビット	名称	初期値	R/W	説明
0 - 15	FPGA Version	-	R	A3400 に実装されている FPGA のバージョンを読取ります。バージョンは xx.xx の構成をとり x は 4bit の 16 進数で表されます。(例)V1.23 の場合は 0x0123 のデータをリードします。

11.29 LCPUVR(Local CPU Version Register) : BA + 0xFFFF0

D31	D15	D0
		

ビット	名称	初期値	R/W	説明
0 - 15	Local CPU Version	-	R	A3400 に実装されている CPU のバージョンを読取ります。バージョンは xx.xx の構成をとり x は 4bit の 16 進数で表されます。(例)V1.23 の場合は 0x0123 のデータをリードします。

11.30 MIR(Module Identification Register) : BA + 0xFFFF4

D31	D15	D0
		

ビット	名称	初期値	R/W	説明
0 - 15	Module ID	-	R	モジュールのモデル番号を読取ります。A3400PDC の場合は 0x3400 のデータが格納されています。

12. ボード上のジャンパ設定

12.1 ロジック入力の論理レベル設定

ロジック入力信号の論理レベルを ECL または NIM-NFL(Fast Negative Logic)のいずれかに切り替える場合はボード上のジャンパ J1 をかきのように設定してください。(16 ページの図を参照)

ECL : J1 を短絡

NIM-NFL: J1 を解放

13. 仕様

信号入力チャンネル数	16channel、LEMO
信号入力波形	0~+10V 正極性ユニポーラパルス 最小立ち上り時間：200ns、最小パルス幅：500ns
信号入力インピーダンス	1kΩ、DC 結合
ADC GAIN	256/512/1024/2048/4096/8192(各 Ch 個別にプログラマブル)
変換時間	≤400ns/ch(6.4μs/all channel)
積分非直線性	≤±0.025%(フルスケールの5%~99%範囲において)
微分非直線性	≤±1%(フルスケールの5%~99%範囲において)
スループット	全体で max 2.5MCPS, 単一 ch 入力の場合は max 1MCPS (動作モードに依存せず)
ZERO ADJUST	フルスケールの±5%を 12bit 分解能で設定(各 Ch 個別にプログラマブル)
LLD	フルスケールの 10%を 12bit 分解能で設定(各 Ch 個別にプログラマブル)
測定モード	PHA / Gated List / Free Run List / Triggered List <ul style="list-style-type: none"> •PHA と List モードのいずれかを同時計測可能 •List モード時はタイムスタンプ情報を一緒に記録 •Gated List と Triggered List モード時はイベントカウント情報を一緒に記録
データメモリ	256k×32bit Dual Port Memory <ul style="list-style-type: none"> •PHA モード : 8kch×32bit×16ch データメモリ •LIST モード : 127k×32bit リングバッファ •レジスタ : 1k×32bit
PHA モードプリセット	以下の中から各 Ch 個別に設定可能 <ul style="list-style-type: none"> •Real Time : Off, 1sec~ (2³²-1) /100sec •Live Time : Off, 1sec~ (2³²-1) /100sec •Peak Counts : Off, 1~2³²-1 •Area Counts : Off, 1~2³²-1
List モードプリセット	リストデータサイズまたはイベントカウント数
Real & Live Time	最小計数時間：10ms
タイムスタンプ	Free Run、Triggered List の場合はピーク検出または各チャンネル専用ゲートの前縁エッジ、Gated List ではコモン・ゲート/トリガの前縁エッジタイミングでラッチ 40bit データ、クロックは 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1μs
イベントカウント	28bit データ、クロックはコモン・ゲート/トリガ入力信号の前縁エッジ
ゲート入力	各 ch 専用、LEMO、tw : 200ns~10μs、Fast Neg. NIM、Zin : 50Ω 遅延時間：Max 30ns
ゲートカウント	32bit データ、測定期間中の各 ch 専用ゲート入力パルスを計数
コモン・ゲート/トリガ入力	Triggered List の場合はトリガ信号として機能し、それ以外のモードでは全チャンネル共通のゲート信号(チャンネル専用ゲート信号と OR)となる LEMO、tw : 200ns~10μs、Fast Neg. NIM、Zin : 50Ω、遅延時間：Max 30ns

コモン・ゲートカウント	32bit データ、測定期間中のコモンゲート入力パルスを計数
ファースト・クリア入力	全チャンネル共通、LEMO、 $t_w : \geq 10\text{ns}$ 、Fast Neg. NIM、 $Z_{in} : 50\Omega$
ファースト・クリア処理時間	$\leq 400\text{ns}$
VETO 入力	全チャンネル共通、LEMO、 $t_w : \geq 10\text{ns}$ 、Fast Neg. NIM、 $Z_{in} : 50\Omega$
ビジー出力	全チャンネル共通、LEMO、TTL
LED	BUSY : ビジー期間点灯 VME : VME バスからのアクセス時に点灯 DRDY : バッファメモリにデータのある期間点灯
ATICbus	測定開始/停止とタイムスタンプ制御信号バス 複数モジュール同期計測時に隣り合うモジュール間を接続するバス
VMEbus Interface	A24/A32 アドレス指定、D16/D32/BLT データ転送、MCST 対応 6U 1 幅 VME モジュール
Power	+5V/ A、+12V/ A、-12V/ A